

PATENT ABSTRACTS OF JAPAN Available Copy

(11)Publication number : 09-188000

(43)Date of publication of application : 22.07.1997

(51)Int.Cl.

B41J 2/525
 B41J 2/44
 B41J 2/45
 B41J 2/455
 G03G 15/01
 G03G 15/01
 H04N 1/04
 H04N 1/46

(21)Application number : 08-003305

(71)Applicant : OKI DATA:KK

(22)Date of filing : 11.01.1996

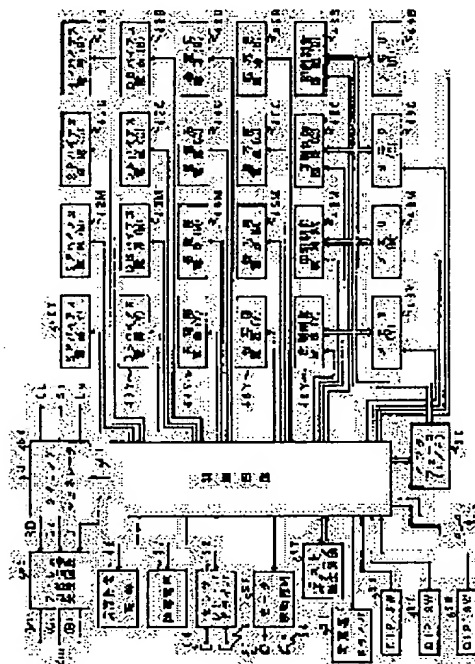
(72)Inventor : OTAKI NOBORU
 YOSHIDA KAZUYOSHI
 INOUE HIROYUKI
 OGATA HIDEICHIRO

(54) DEVICE AND METHOD FOR COLOR RECORDING

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a color recording device having a plurality of recording heads classified by color which corrects color shift due to inclination, and a method therefor.

SOLUTION: Memories 49Y, 49M, 49C, 49B store image data to be sent through an interface 50 by classifying by color. To a control circuit 41 for controlling a device, DIP switches 56, 57, 58, a timing generator 64, an address switch signal generating circuit 65, and a test pattern generating circuit 67 are connected. The DIP switches 56, 57, and 58 set a correction value for correcting the color shift among LED heads at every color. The timing generator 64 generates various signals for controlling a memory 49. The address switch signal generating circuit 65 generates a switch signal for switching the address of the memory 49 cyclically.



LEGAL STATUS

[Date of request for examination]

09.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平9-188000

(43) 公開日 平成9年(1997)7月22日

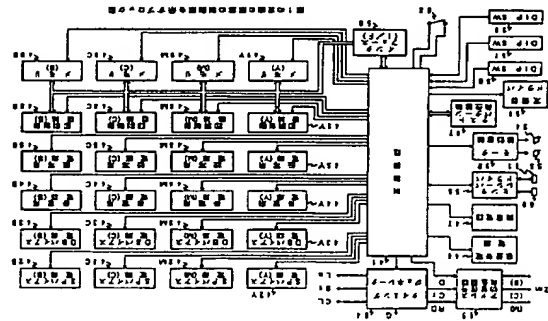
(51) Int. Cl. ⁸	識別記号	序内整理番号	F I	特許表示箇所
B 4 1 J	2/525		B 4 1 J 3/00	B
	2/44		G 0 3 G 15/01	S
	2/45			
	2/455		1 1 2 A	
			B 4 1 J 3/21	L
G 0 3 G	15/01		H 0 4 N 1/04	D
			OL	(全30頁)最終頁に続く
著者請求 未請求 請求項の数 6				
(21) 出願番号	特開平8-3305	(71) 出願人	591044164	
			株式会社データ	
(22) 出願日	平成8年(1996)1月11日	(72) 発明者	大瀧 聖	
			東京都港区芝浦4丁目11番地22号	株式会社
		(72) 発明者	吉田 一義	
			東京都港区芝浦4丁目11番地22号	株式会社
		(72) 発明者	井上 弘之	
			東京都港区芝浦4丁目11番地22号	株式会社
		(74) 代理人	井理士 大西 健治	最終頁に続く

(54) 【発明の名称】 カラー記録装置およびカラー記録方法

(57) 【要約】

【課題】 記録ヘッドを色別に複数有するカラー記録装置において、傾き等による色ずれを補正する装置および方法を提供する。

【解決手段】 メモリ49Y、49M、49C、49Bはインタフェース部50を介して送られてくる画像データを色別に格納する。装置を制御する制御回路41には、ディップスイッチ56、57、58、タイミングジエネレータ04、アドレス切替信号発生回路66、デストバクテーション発生回路67が接続される。ディップスイッチ56、57、58は色毎のLEDヘッド間の色ずれを補正するための補正值を設定する。タイミングジエネレータ04はメモリ49を制御するための各種の信号を発生し、アドレス切替信号発生回路66は周期的にメモリ49のアドレスを切り替えるための切替信号を発生する。



示す制御ブロック図、図2は第1の実施の形態のカラー記録装置を示す構造図、図3はカラー画像形成ユニットを示す一部切欠斜視図である。

【0009】図2において、カラー記録装置1には、4組の印刷機構P1、P2、P3、P4が記録媒体の挿入部から排出側へ順に並べられている。第1印刷機構P1、第2印刷機構P2、第3印刷機構P3、第4印刷機構P4は電子写真式LED（発光ダイオード）プリント機構で、それぞれ同一の構成を有する。第1印刷機構P1は、画像形成部2、画像データが仕込まれた記録媒体2で感光体を露光するLEDヘッド3および画像形成部2で形成されたトナー画像を記録媒体に転写する転写ローラ4で構成される。画像形成部2は感光体6を中心に矢印A方向に回転する感光体6、感光体6の表面を一樣に帯電させる帯電ローラ7、それに現像剤8から構成される。この現像剤8は現像ローラ8a、現像ブレード8b、スポンジローラ8c、トナングラム8dから構成される。トナングラム8dから供給された非磁性1成分トナーは、スポンジローラ8cを経て、現像ブレード8bに達して現像ローラ8aに円周上に薄層化され、感光体6と現像ローラ8aの間に導き、トナーは前記薄層形成時に現像ローラ8aと現像ブレード8bに強く接触して帯電帯電される。本実施の形態では非磁性に帯電帯電される。スポンジローラ8cはトナーを適量現像ブレード8bに搬送する。なお、現像ローラ8aは半導電ゴム材で構成されている。トナーが無くなったときには、トナングラム8dを交換することによりトナーを新たに供給することができ、LEDヘッド3はLEDアレイとこのLEDアレイを駆動するドライプICを備えた基板3aおよびLEDアレイの光を集光するセルフフォーカシングレンズ3b等からなり、後述するインクファスナー部から入力される画像データ信号に対応してLEDアレイを露光させ、感光体6の表面を露光し、感光体6の表面に静電潜像を形成する。この静電潜像部に現像ローラ8a円周上のトナーが静電引力によって付着して画像が形成される。感光体6と転写ローラ4の間には後述するキャリアベルト9が移動可能に配置されている。

【0010】第1印刷機構P1の現像剤8にはイエロー（Y）のトナーが収容され、第2印刷機構P2の現像剤8にはマゼンダ（M）のトナーが収容され、第3印刷機構P3の現像剤8にはシアン（C）のトナーが収容され、第4印刷機構P4の現像剤8にはブラック（B）のトナーが収容されている。また、第1印刷機構P1のLEDヘッド3にはカラー画像形成信号のうちイエロー画像信号が入力され、第2印刷機構P2のLEDヘッド3にはカラー画像形成信号のうちマゼンダ画像信号が入力され、第3印刷機構P3のLEDヘッド3にはカラー画像形成信号のうちシアン画像信号が入力され、第4印刷機構P4のLEDヘッド3にはカラー画像形成信号のうちブラック画像信号が入力される。

【0011】また、第1印刷機構P1の画像形成部2、第2印刷機構P2の画像形成部2、第3印刷機構P3の画像形成部2および第4印刷機構P4の画像形成部2はケース40に取り付けられていて、図3に示すように、1つのカラー画像形成ユニット15に一体的に構成されている。図2に示す符号18、19はカラー画像形成ユニット15をカラー記録装置1内で位置決めする位置決め部材である。このように、カラー画像形成ユニット15はカラー記録装置1から着脱できるようになっている。図3において、カラー画像形成ユニット15のケー

ス40には各LEDヘッド3の窓40aが開けられて

図示せぬモータにより給紙ローラ26を矢印e方向に回転すると、給紙ローラ26と弁別手段24に挟まれている記録媒体27を繰出し、繰出された記録媒体27はガイド28、29に案内されて、レジストローラ30、31に導く。さらに、図示せぬモータによりレジストローラ30、31を矢印f方向に回転させると記録媒体27はキャリアベルト9へ導かれる。

【0014】レジストローラ30、31と第1印刷機構P1との間で、キャリアベルト9の上には帯電器32が設けられている。この帯電器32は給紙機構20によって送られてきた記録媒体27を帯電してキャリアベルト9の上面に静電吸着させるものである。帯電器32の手前側には記録媒体27の先端を繰出すフォトインタラプタ60が設けられている。また従動ローラ11側のキャリアベルト9を介した上方には除電器33が設けられている。この除電器33はキャリアベルト9に吸着されて送られてきた記録媒体27を除電し、その吸着状態を除して、キャリアベルト9から分離しやすくするものである。除電器33の左方には、記録媒体27の後端を繰出すフォトインタラプタ61が設けられている。

【0015】さらに、除電器33の左方には、ガイド34および定着器35が設けられている。定着器35はキャリアベルト9により搬送されて、トナー画像が転写された記録媒体27にトナー画像を定着するもので、記録媒体27上のトナーを加熱するヒートローラ36と、ヒートローラ36とともに記録媒体27を加圧する加圧ローラ37を有する。定着器35の左方には、排出口38にあっており、その外周には排出口スリット39が設けられていて、排出口スリット39には印刷済みの記録媒体27が排出される。

【0016】次に本実施の形態の印刷部を説明する。図1において、符号Y、M、C、Bは第1印刷機構P1、第2印刷機構P2、第3印刷機構P3、第4印刷機構P4の各印刷機構に対応している。符号41は印刷回路でマイクログロッサ等からなりカラー記録装置1全体の動作を制御する。印刷回路41は、上記各印刷機構P1、P2、P3、P4の現像剤8のスポンジローラ8cに電力を供給するSPバイアス電源42Y、42M、42C、42B、各印刷機構P1、P2、P3、P4の現像剤8の感光体6を露光するSPバイアス電源44Y、44M、44C、44B、各印刷機構P1、P2、P3、P4の転写ローラ4を露光させる電力を供給する転写用電源45Y、45M、45C、45Bに、それぞれ接続されている。

【0017】また印刷回路41には、前記帯電器32へ帯電用電力を供給する帯電用電源46、除電器33へ除電用の帯電電力を供給する除電用電源47が接続されている。以上の各電源は、印刷回路41の指示により

オン/オフ制御される。

【0018】さらに印刷回路41は、各印刷機構P1、P2、P3、P4にそれぞれ対応する印刷制御回路48Y、48M、48C、48Bが接続されている。これら各印刷制御回路48Y、48M、48C、48Bは、メモリ49Y、49M、49C、49Bを介して、外部装置より送られてきた画像データを格納する。

【0019】インクファスナー部50は、外部装置、例えばホストコンピュータから送信されてきた画像データを色別に分解して、イエローの画像データはメモリ49Yへ、マゼンダの画像データはメモリ49Mへ、シアンの画像データはメモリ49Cへ、ブラックの画像データはメモリ49Bへ、それぞれ格納する。

【0020】定着器ドライプ51は、定着器35内のヒートローラ36の温度を一定に保つように、ヒートローラ36内の図示しないヒータを駆動する。モータ駆動回路52は、給紙ローラ26を回転させるモータ53と、レジストローラ30、31、各印刷機構P1、P2、P3、P4の感光体6、帯電ローラ7、現像ローラ8a、スポンジローラ8c、転写ローラ4、駆動ローラ10およびヒートローラ36を回転させるモータ54を駆動する。モータ54で回転される各ローラは、図示しないギヤあるいはベルトにより連結されている。センサシールドドライプ55は、フォトインタラプタ60、61を駆動し、それらの出力波形を受信して、印刷回路41へ送る。

【0021】符号56、57、58は各色毎の主要方向、副定方向およびLEDヘッドの取り付け状態による傾きによる色ずれを補正するための外部から設定可能な補正値設定手段としてのディップスイッチ（以下DIP SW）である。DIP SW56は第1印刷機構P1と第2印刷機構P2間の色ずれを補正するためディップスイッチ、DIP SW57は第1印刷機構P1と第3印刷機構P3間の色ずれを補正するためディップスイッチ、DIP SW58は第1印刷機構P1と第4印刷機構P4間の色ずれを補正するためディップスイッチで、これら設定値を印刷回路41で読み取ることで、

【0022】タイミングジェネレータ04はプログラマブルカウンタ等から構成されており、後述するクロックCL、スタート信号St、ライン信号La、リード信号RD、切替ラッチアリア信号Cr等のパルス信号を発生させるもので、必要に応じて図1の各回路へ送られる。アドレス切替信号発生回路06はタイミングジェネレータ04からリード信号RDおよび切替ラッチアリア信号Crを受けて周期的なアドレス切替信号Zmを出力する

していないが、制御回路41によってアドレスカウンタ49bに最終アドレス値を指定しておき、アドレスカウンタ49bがこの最終アドレス値に達したら、アップカウンタ(1インクリメント)を中止し、また制御回路41はこの中止情報を知ることができるようになってい

ている。

【0051】以上のRAMクリア動作およびメモリのデータ書き込み動作により、図8の例では、番地0～19は、“0”が書き込まれ、インタフェース部50で受信した第1ラインの画像データは番地20～29、第2ラインの画像データは番地30～39と順番に各ラインの画像データが次々に格納されることになる。

【0052】メモリのアドレスカウンタが読みだした次に、上記によってRAM49aに書き込まれた画像データを読みだし印刷する動作について、右図上りの図8を例にして、図10のタイミングチャートを用いて説明する。図10は右図上りの場合のメモリの動作を示すタイミングチャートである。

【0053】LEDヘッドに送られる画像データが、図8(b)に示すように読み出されればよい。すなわち、1ライン目にはRAM49a上の番地20、21、22、13、14、15、16、7、8、9の順に読みだし、印刷制御回路48に出力するようにすればよい。なお、印刷制御回路48は、バイト単位で送られてきた画像データをパラレル/シリアル変換してから、LEDヘッドに送信するようにになっている。まず、リードスタート番地は番地20であるから、制御回路41はこの番地20をリードスタート番地としてスタート番地ラッチ49gからラッチ出力する。また、制御回路41はW値ラッチ49iに向け、Wp値/8すなわち数値10を出力する。このWp値/8すなわち数値10は加算器49h、補数演算49l、セレクタ49kに向け常時出力される。

【0054】図6において、R/L信号は前記右側上りであるから、R/L信号は制御回路41によってローレベル指定されていて、セレクタ49kとしては出力バスB1すなわちWp/8の補数値が選択されて、出力バスB9に出力される。この状態で図11(b)(c)(e)に示すようにスタート信号ST、ライン信号LS、切替ラッチクリア信号Crが同時に、制御回路41の指示により、タイミングジェネレータ64から出力されると、スタート番地ラッチ49gの出力値(ΔL-1)×Wp/8すなわち20は、スタート番地St、ライン信号Lsのローレベルのタイミングでセレクタ49f、ラッチ49d、セレクタ49cを介してアドレスカウンタ49bに向け出力される。このときLs番地のローレベルのタイミングでこの(ΔL-1)×Wp/8すなわち20がアドレスカウンタ49bに取り込まれ、アドレスバスB2に出力される。さらに、切替ラッチクリア信号Crにより、ラッチ(B)05Bは“0”にクリアされ、この“0”値を加算器05Cに出力する。

【0055】次いで、図10(f)に示すRD信号がタイミングジェネレータ64から出力され、RAM49aから(ΔL-1)×Wp/8すなわち20番地の画像データが出力される。なお、RD信号はタイミングジェネ

レータ64a内図10(a)のクロックCLと図10(4)のゲート信号Gの論理積によって作ることができ、ゲート信号Gがハイレベルとなる時は1ラインの印刷ドット数によって決り、この場合80ドットすなわち10バイトとなる。このようにRD信号のタイミングで順次1アップカウンタされ、これによって指定された画像データを次にデータバスB1に出力し、印刷制御回路48へ取り込まれるようになっていく。

【0056】さて、ここでRD信号のタイミングでアドレスカウンタ49bがアップカウントされている間に、アドレス切替信号発生回路65は図10(g)に示すアドレス切替信号Zmを出力することになる。ここで説明を簡便にするために、図4の加算器05Cの容量を2の8割すなわち加算結果が256を越えたらキャリ-を発生するものとして説明する。ラッチA05Aには間引き量が設定されるが、この例では間引き量は主走査方向に10バイトに対して副走査方向3ドットとなる。実際には、主走査方向に1バイトを加えて、11バイトに対して傾きである3ドットとした方が都合がよい。したがって、一般には主走査方向の印刷バイト数をWp/8、副走査方向の傾き量ΔLとすると、ラッチA05Aには、 $(2のN割) \times \Delta L / (Wp/8 + 1)$ を設定する。図8の例では、加算器05Cの容量を2の8割とすると、 $(256/8) \times (9/8) / (11/8) = 69.8$ となる。制御回路41は、小数点以下を切り上げた値70をラッチA05Aに設定する。リード信号RDのタイミングで加算器05Cで数値に加工され、この加算結果として、アドレス切替信号Zmが発生する。この加算結果とアドレス切替信号Zmを図10(g)に示す。

【0057】ところで、現在のアドレスカウンタ49bのアドレスバスB2の出力値をAdとすると、B9にはWp/8値の補数値が選択されているから、加算器49jは(Ad-Wp/8)なる加算を行い、その結果をラッチ49eに向け出力する。ラッチ49eはアドレス切替信号Zmのローレベルのタイミングで(Ad-Wp/8)値がセレクタ49cに向けラッチ出力する。このタイミングでセレクタ49cはライン信号Lsがハイレベルであるため出力バスB5すなわち(Ad-Wp/8)値を選択して出力バスB3に送ることになる。アドレスカウンタ49bのL0a d入力としてはライン信号Lsとアドレス切替信号Zmの論理和信号であるため、アドレス切替信号Zmのタイミングで前記(Ad-Wp)値をアドレスカウンタ49bが読み込み、RAM49aに向け出力する。従って、このときは1つ前のアドレスはA1番地であり、今回のアドレスは(A-Wp/8)番地となり、1ライン前の画像データを読み出される。

【0058】図10(f)に示すように、第1ラインで、先ずスタート信号Stおよびライン信号Lsのタイミングでアドレスカウンタ49bの出力値Adは“2

0”となり、つぎにリード信号RDの立ち下りのタイミングでアドレスカウンタ49bの出力値Adは、“21”、“22”、“23”と切り替わる。次にアドレス切替信号Zmがローレベルになった瞬間に(Ad-Wp/8) = 23-10 = “13”となり、更にリード信号RDの立ち下りのタイミング毎に“14”、“15”、“16”、“17”となり、またアドレス切替信号Zmがローレベルになった瞬間に加算器49jの加算値(17-10) = “7”となり、更にリード信号RDの立ち下り毎に“8”、“9”、“10”となる。

【0059】なお、RAM49a内に格納されている画像データはリード信号がハイレベルの間データバスB1上へ読み出され、印刷制御回路48に向け出力される。従って、Ad値が“20”、“21”、“22”、“13”、“14”、“15”、“16”、“10”、“7”、“8”、“9”で指定される番地の画像データが印刷制御回路48に向け送信される。以上で、図8に示す第1ラインの読み出しが終了する。次いで、この画像データが印刷制御回路48からLEDヘッドに送信されて、さらにLED素子を発光駆動させるためのストローブ信号が印刷制御回路48から出されて第1ラインの印刷が行われる。

【0060】第1ライン分の画像データの読み出しが終了すると、タイミングジェネレータ64によって図10(c)(e)に示すようにライン信号Lsと切替ラッチクリア信号Crを出力されることになる。ラッチ(B)05Bはこの切替ラッチクリア信号Crのタイミングで“0”にクリアされ、この“0”値を加算器05Cに出力する。

【0061】ここで、第2ライン目の画像データが読み出される時は、ラッチ49dは第1ライン目で指定された(ΔL-1)×Wp/8すなわち20をラッチ出力しているで加算器49hの加算結果は(ΔL-1)×Wp/8 + (Wp/8) = 30となる。スタート信号Stはハイレベルのままであるので、この加算結果はセレクタ49fを介してラッチ49dに向け出力される。このタイミングで、Ls信号のローレベルのタイミングでこの(ΔL-1)×Wp/8 + (Wp/8)すなわち30がラッチ49dおよびセレクタ49cを介してアドレスカウンタ49bに取り込まれ、アドレスバスB2に出力される。

【0062】次いで、図10(f)に示すRD信号がタイミングジェネレータ64から出力され、RAM49aから(ΔL-1)×Wp/8 + (Wp/8)すなわち30番地の画像データが出力される。

【0063】ここでRD信号のタイミングでアドレスカウンタ49bがアップカウントされている間に、第1ラインと全く同じように、アドレス切替信号発生回路65は図10(g)に示すアドレス切替信号Zmを出力することになる。ラッチA05Aには、第1ライン時に設定

された“70”がラッチ出力されている。リード信号RDのタイミングで加算器05Cで次のアドレスを加算し、この加算結果に従って、アドレス切替信号Zmを発生する。この加算結果とアドレス切替信号Zmを図10(g)に示す。

【0004】第2ライン目も、第1ライン目と同様にし、図10(f)に示すように、先ずLs信号のタイミングでアドレスカウンタ49bの出力値Adは“30”となり、つぎにリード信号RDの立ち下がり際のタイミングでアドレスカウンタ49bの出力値Adは“24”、“2”となり、またアドレス切替信号Zmがローレベルになった瞬間に(A+d+Wp)/8) = 33-10 = “23”となり、更にリード信号RDの立ち下がり際のタイミング毎に“24”、“2”、“5”、“26”、“27”となり、つぎにリード信号RDの立ち下がり際のタイミングでアドレス切替信号Zmがローレベルになった瞬間に加算器49jの加算値(27-10) = “17”となり、更にリード信号RDの立ち下がり際のタイミング毎に“18”、“19”、“20”となる。

【0005】なお、RAM49a内に格納されている画像データはリード信号がハイレベルの間データバスB1上へ読み出され、印刷制御回路48に向けて出力される。従って、Ad値が“30”、“31”、“32”、“2”、“3”、“24”、“25”、“26”、“17”、“18”、“19”で指定される番地の画像データが印刷制御回路48に向けて送られる。以上で、図9に示す第2ラインの読み出しが終了する。次いで、この画像データが印刷制御回路48からLEDヘッドに送ばれて、さらにLED素子を発光駆動させるためのストロブ信号が印刷制御回路48から出されて第2ラインの画像データが印刷される。

【0006】第3ライン目以下も同様にしてRAM49aからデータが読み出され、この読み出された画像データが各ライン単位でLEDヘッドに送られて、次に印刷される。最終ラインの画像データが印刷された時点で画像データの都度動作が終了する。

【0007】以上のようにして、第1の印刷機構P1のLEDヘッドに対して第2の印刷機構P2のLEDヘッドの取り付けが、右肩上がりに傾いていても、RAMのアドレス操作により、1ドット以内の誤差で色ずれを合わせることができる。

【0008】《左肩上がり》次に、第9に示すように、第1の印刷機構P1のLEDヘッドに対して第3の印刷機構P3のLEDヘッドの取り付けが、左肩上がりに傾いている場合について説明する。

【0009】(メモリクリア)メモリクリアについて、右肩上がりで説明したのと同様であるので、説明を省略する。

【0010】(メモリへのデータ書き込み)この場合は、Wp=80、ΔL=2であるから、10番地が書き

込み開始番地になる。制御回路41は、この“10”をスタート番地ラッチ49gへ向けて出力し、この10番地が次のライン信号WRのクロックタイミングでアドレスカウンタを開始することになる。外部装置より画像データを受領すると、インタフェース部50はこの画像データをデータバスB1に出力すると共にWR信号を出す。

これ、先ず10番地に最初の画像データが書き込まれる。次いでアドレスカウンタ49bはWR信号のタイミングで1インクリメントした11なる値をRAM49aのアドレスとして出力し、次の画像データをRAM49aに書き込む。以上のようにスタートアドレス(10番地)から順に画像データを書き込まれることになる。なお、書き込み先の最終アドレスは外部装置からの画像データデータの指定値をインタフェース部50を介して制御回路41が判別し、アドレスカウンタ49bに予め指定した11が判別し、最終アドレスのRAM49aに書き込んだ後、書き込み動作を終了する。

【0011】以上のRAMクリア動作およびメモリへのデータ書き込み動作により、図9の例では、番地0〜9は“0”が書き込まれ、インタフェース部50で受信した第1ラインの画像データは番地10〜19、第2ラインの画像データは番地20〜29と順番に各ラインの画像データが次々に格納されることになる。

【0012】(メモリからの画像データ読み出し)次に、上記によってRAM49aに書き込まれた画像データを読みだし印刷する動作について、左肩上がりの図9の場合について、図11を用いて説明する。図11は左肩上がりの場合のメモリの動作を示すタイミングチャートである。

【0013】LEDに送ばれる画像データが、図9(b)に示すように読み出されよう。すなわち、1ライン目にはRAM49a上の番地0、1、2、3、4、15、16、17、18、19の順に読みだし、印刷制御回路48に出力するようにすればよい。リードスタート番地は番地0であるから、制御回路41はこの番地0をリードスタート番地としてスタート番地ラッチ49gからラッチ出力する。また、制御回路41はW値ラッチ49iにWp値/8すなわち数値10を出力する。このWp値/8すなわち数値10は加算器49h、補数演算49j、セレクト49kに向け常時出力されている。

【0014】図6において、R/L信号は前記左肩上がりであるから、R/L信号は印刷制御回路41によってハイレベル指定されて、セレクト49kとしては出力バスB12すなわちWp/8が選択されて、出力バスB9に出力される。この状態で図11(b)(c)(e)で示すようにスタート信号S1、ライン信号Ls、切替ラッチクリア信号Crが同時に、印刷制御回路41の指示により、タイミグジェネレータ64から出力されると、スタート番地ラッチ49gの出力値“0”は、S1信号、Ls

信号のローレベルのタイミングでセレクト49f、ラッチ49h、セレクト49eを介してアドレスカウンタ38bに向け出力される。このときLs信号のローレベルのタイミングでこの“0”がアドレスカウンタ49bに取込まれ、アドレスバスB2に出力される。さらに、切替ラッチクリア信号Crにより、ラッチ(B)05Bに“0”にクリアされ、この“0”値を加算器05Cに出力する。

【0015】次いで、図11(f)に示すRD信号がタイミグジェネレータ64から出力され、RAM49aから10番地の画像データが出力される。このようにRD信号のタイミングで順次1アップカウントされ、これによって指定された画像データが次々にデータバスB1に出力し、印刷制御回路48へ取り込まれる。

【0016】ここで、RD信号のタイミングでアドレスカウンタ49bがアップカウントされている間に、アドレス切替信号発生回路055は図11(g)に示すアドレス切替信号Zmを出力することになる。右肩上がりのときに説明したように、図4の加算器05Cの容量を2の8割すなわち加算結果が256を越えたらキヤリを発生するものとする。ラッチA05Aには閾値量が設定されるものとする。この例では閾値量は主走査方向に10パイに対して斜走査方向2ドットとなる。前述したように、実際に、主走査方向に1パイを加えて、11パイに対して傾き量である2ドットとした方が都合がよい。図9の例では、加算器05Cの容量を2の8割にする、(2560) × (2) / (11) = 46.5となる。制御回路41は、小減点点を切り上げた値47をラッチA05Aに設定する。リード信号RDのタイミングで加算器05Cで次のアドレスを加算し、この加算結果として、アドレス切替信号Zmを発生する。この加算結果とアドレス切替信号Zmを図11(g)に示す。

【0017】ところで、B9にはWp/8値が選択されているから、加算器49jは(A+d+Wp/8)なる加算を行い、その結果をラッチ49eに向け出力されている。ラッチ49eはアドレス切替信号Zmのローレベルのタイミングで(A+d+Wp/8)値がセレクト49eのタイミグで(A+d+Wp/8)値がセレクト49eに向けラッチ出力する。このタイミングではセレクト49eはライン信号Lsがハイレベルであるため出力バスB5すなわち(A+d+Wp/8)値を選択して出力バスB3に送ることになる。アドレスカウンタ49bのLs

ad入力としてはライン信号Lsとアドレス切替信号Zmの論理和信号であるため、アドレス切替信号Zmのローレベルのタイミングで前記(A+d+Wp/8)値をアドレスカウンタ49bに取込み、RAM49aに出力される。従って、このときは1つ前のアドレスAd番地であり、今回のアドレスは(A+d+Wp/8)番地となり、1ライン前の画像データが読み出される。

【0018】図11(f)に示すように、第1ラインでは、先ずS1信号およびLs信号のタイミングでアドレ

スカウンタ49bの出力値Adは“0”となり、つぎにリード信号RDの立ち下がり際のタイミングでアドレスカウンタ49bの出力値Adは“1”、“2”、“3”、“4”、“5”と切り替わる。次にアドレス切替信号Zmがローレベルになった瞬間に(A+d+Wp/8) = 5+10 = “15”となり、更にリード信号RDの立ち下がり際のタイミング毎に“10”、“17”、“18”、“19”、“20”となる。

【0019】なお、RAM49a内に格納されている画像データはリード信号がハイレベルの間データバスB1上へ読み出され、印刷制御回路48に向けて出力される。従って、Ad値が0、1、2、3、4、15、10、17、18、19で指定される番地の画像データが印刷制御回路48に向けて送られる。以上で、図9に示す第1ラインの読み出しが終了する。次いで、この画像データが印刷制御回路48から出されて第1ラインの画像データが印刷される。

【0020】第1ライン分の画像データの読み出しが終了すると、タイミグジェネレータ64によって図11(c)(e)に示すようにライン信号Lsと切替ラッチクリア信号Crを出力することになる。ラッチ(B)05Bはこの切替ラッチクリア信号Crのタイミングで“0”にクリアされ、この“0”値を加算器05Cに出力する。

【0021】ここで、第2ライン目の画像データが読み出される前は、ラッチ49dは第1ライン目で指定された“0”をラッチ出力しているので加算器49hの加算結果は“0” + (Wp/8) = 10となる。スタート信号S1はハイレベルのままであるため、この加算結果はセレクト49fを介してラッチ49dに向け出力される。この状態で、Ls信号のローレベルのタイミングでこの“0” + (Wp/8)すなわち10がラッチ49dおよびセレクト49eを介してアドレスカウンタ49bに取り込まれ、アドレスバスB2に出力される。

【0022】次いで、図11(f)に示すRD信号がタイミグジェネレータ64から出力され、RAM49aから10番地の画像データが出力される。

【0023】ここでRD信号のタイミングでアドレスカウンタ49bがアップカウントされている間に、第1ラインと全く同じように、アドレス切替信号発生回路055は図11(g)に示すアドレス切替信号Zmを出力することになる。ラッチA05Aには、第1ライン時に設定された“47”がラッチ出力されている。リード信号RDのタイミングで加算器05Cで次のアドレスを加算し、この加算結果に従って、アドレス切替信号Zmを発生する。この加算結果とアドレス切替信号Zmを図11(g)に示す。

【0024】第2ライン目も、第1ライン目と同様にし

て、図11(f)に示すように、先ずL₀のタイミングでアドレスカウンタ49bの出力値Adは“10”となり、つぎにリード信号RDの立ち下りのタイミングでアドレスカウンタ49bの出力値Adは、“11”、“12”、“13”、“14”、“15”と切り替わると、次にアドレス切替信号Z_mがローレベルになった瞬間に、更にリード信号RDの立ち下りのタイミング順に、“26”、“27”、“28”、“29”、“30”となる。

【0085】なお、RAM49a内に格納されている画像データはリード信号がハイレベルの間データバスB1上へ読み出され、印刷制御回路48に向けて出力される。従って、Ad値が10、11、12、13、14、26、27、28、29で指定される番地の画像データが印刷制御回路48に向けて送られる。以上で、図10に示す第2ラインの読み出しが終了する。次いで、この画像データが印刷制御回路48からLEDヘッドに送ばれて、さらにLED素子を光駆動させるためのストロブ信号が印刷制御回路48から出されて第2ラインの画像データが印刷される。

【0086】第3ライン目以下も同様にしてRAM49aからデータが読み出され、この読み出された画像データが各ライン単位でLEDヘッドに送られて、次々に印刷される。最終ラインの画像データが印刷された時点で画像データの読取動作が終了する。

【0087】以上のようにして、第1の印刷機構P1のLEDヘッドに対して第3の印刷機構P3のLEDヘッドの取り付けが、左肩以上に傾いているも、RAMのアドレス操作により、1ドット以内の誤差で色ずれを合わせることができ。

【0088】次に第2の実施の形態のカラー記録装置について説明する。第2の実施の形態で使用する機構については、図2で説明した第1の実施の形態のものと全く同じであるので説明を省略する。第1の実施の形態と第2の実施の形態との違いは、第2の実施の形態が、後述するように1ライン間に2回LEDヘッドで印刷し、副走査方向の分解能を向上させて、傾き補正装置が0.5ドットのビッチ単位になるようにして、印刷品位を向上させる点にある。

【0089】図12は第2の実施の形態の右肩上がり時の記録方法を示す説明図である。第1の実施の形態で説明したものと同じように、H2線がH1線に対して、右肩上がりLEDヘッドが傾いている場合を説明する。図12(a)において、第1の実施の形態と同様に、記録用紙の幅方向の印刷ドット数は、説明上分りやすくするためWp=80ドットとし、傾き量は3ドットとする。図12(a)は、この時記録される画像データのRAM上の配置を示すもので、図中の数字はRAMのアドレス番地を示す。図12(b)は、このRAMに格納されている

48Bのうち、48M、48C、48Bは、それぞれ画像データ抽出回路82M、48C、82Bを介して、メモリ83M、83C、83Bからの画像データを受けて、これらのデータを制御回路81からの指示により、LEDヘッド3へ送給して、LEDの露光時間を制御し、感光体6表面に静電潜像を形成する制御を行うものである。メモリ83Y、83M、83C、83Bはインタフエース部50を介して、外部装置より送られてきた画像データを色別に格納する。

【0095】インタフエース部50は、外部装置、例えばホストコンピュータから送給されてきた画像データを色別に分解して、イエローの画像データはメモリ83Yへ、マゼンダの画像データはメモリ83Mへ、シアンの画像データはメモリ83Cへ、ブラックの画像データはメモリ83Bへ、それぞれ格納する。定着器ドライバ51、モータ駆動回路52、センサレシーバドライバ55は、第1の実施例のものと同じ構成であるので、説明を省略する。

【0096】DIP SW56、DIP SW57、DIP SW58の機能は第1の実施の形態と同じである。目的には、抽出信号発生回路80は、フリップフロップ、アンドゲート、オアゲートなどから構成される。88M、88C、88Bはインバータで、E0信号を反転させた抽出信号E1を出す。87M、87C、87Bはセレクトダであり、ライン選択信号L₀がハイレベルのとき抽出信号E0を、ローレベルのとき抽出信号E1を選択して出力するものである。

【0097】さて、制御アドレス切替信号発生回路0.5およびアドレス切替回路85は、第1の実施の形態で明したように、詳細には図4に示したブロック図により構成される。図4に示すように制御回路81からのデータおよびD₀をラッチするラッチ(A)0.5Aと、タイミングジェネレータ84からのリード信号RDに同期して出力するラッチ(B)0.5Bと、ラッチ(A)0.5Aとラッチ(B)0.5Bの出力を周期Tで順次加算し、その加算結果をラッチ(B)0.5Bに向けて出力し、加算結果がオーバーフローした場合には、アドレス切替信号Z_mおよびZ_m’を出力する加算器0.5Cとか、50

らなる。上記回路は、M、C、Bの3色分の信号Z_m(M)、Z_m(C)、Z_m(B)、Z_m’(M)、Z_m’(C)、Z_m’(B)を発生するようにになっている。【0098】図14は第2の実施の形態のメモリ83を構成するブロック図である。メモリ83M、83C、83Bは同じ構成であるので、その代表例で説明する。なお、図6で説明した回路と同じものには、同一符号を付し、説明を省略する。図6で示した第1の実施の形態との違いは、セレクトダ83aを新たに設けた点であり、セレクトダ83aは、ラッチ49dの出力バスB4または加算器49hの出力バスB13のどちらか一方を選択して、バスB8に出力するもので、この選択はペーパライン選択信号HsがLowレベルのときB4を選択し、HighレベルのときB13を選択するように構成されている。その他は、第1の実施の形態のものと同一である。

【0099】図13において、抽出信号発生回路80は、上記アドレス切替信号Z_m、Z_m’を受けて、これらZ_m、Z_m’信号から抽出信号E0を出力する。具体的には、抽出信号発生回路80は、フリップフロップ、アンドゲート、オアゲートなどから構成される。88M、88C、88Bはインバータで、E0信号を反転させた抽出信号E1を出す。87M、87C、87Bはセレクトダであり、ライン選択信号L₀がハイレベルのとき抽出信号E0を、ローレベルのとき抽出信号E1を選択して出力するものである。

【0100】次に第2の実施の形態の記録動作について詳細に説明する。

《右肩上がり》メモリアクリア及びメモリの画像データ書き込みについては、第1の実施の形態の場合と同じであるので、説明を省略する。メモリアクリア及びメモリの画像データ書き込みにより、面データのRAM配置は、図12(a)に示すように格納されることになる。

【0101】(メモリからの画像データ読み出し) 次に、上記によってRAM49aに書き込まれた画像データを読みだし印刷する動作について、右肩上がりの図12を例にして、図15のタイミングチャートを用いて説明する。図15は第2の実施の形態のメモリの動作を示すタイミングチャートである。

【0102】LEDヘッドに送給される画像データが、図12(b)に示すようにRAMから読み出され、記録されればよい。即ち、1ライン目は図12(b)の第1バイト、第4バイト、第5バイト、第8バイト及び第9バイト目の面データのみが記録され、残りの第2バイト、第3バイト、第6バイト、第7バイト、第10バイト目を非印刷データとするならNULLデータ“0”が送られて、面データが記録されないようにする。そして、1.5ライン目を記録するときは、逆に第2バイト、第3バイト、第6バイト、第7バイト、第10バイト目の面データのみが記録され、残りの第1バイト、第4バ

で、スタート信号Sはハイレベルのままであるので、この加算結果30はセレクト49fを介してラッチ49dに向け出力される。この状態で、L_a信号のローレベルのタイミミングでこの(ΔL-1)×Wp/8+(Wp/8)すなわち30がラッチ49dおよびセレクト49cを介してアドレスカウンタ49bに取り込まれ、アドレスバスB2に出力される。

[0112] 次に、図15(g)に示すRD信号がタイミミングジェネレータ84から出力され、RAM49aから(ΔL-1)×Wp/8+(Wp/8)すなわち30番地の画像データが出力される。

[0113] ここでRD信号のタイミミングでアドレスカウンタ49bがアップカウンタとして、1ライン目と全く同じように、アドレス切替信号発生回路6、86は図15(h)(i)に示すアドレス切替信号Zm、2mを出力することになる。

[0114] 第2ライン目も、第1ライン目と同様にし、先ずL_a信号のタイミミングでアドレスカウンタ49bの出力値Aaは“30”となり、つぎにリード信号RDの立ち上がりタイミミングでアドレスカウンタ49bの出力値Adは“31”、“32”、“33”と切り替わる。次にアドレス切替信号Zmがローレベルになり、その間に(Ad-Wp/8)=33-10=“23”となり、更にリード信号RDの立ち下りのタイミミングで“24”、“25”、“26”、“27”となり、またアドレス切替信号Zmがローレベルになった瞬間に加算器49fの加算値(27-10)=“17”となり、更にリード信号RDの立ち下り毎に“18”、“19”、“20”となる。

[0115] なお、RAM49a内に格納されている画像データはリード信号RDがハイレベルの間データバスB1上へ読み出され、印刷制御回路48に向け出力される。従って、Ad値が30、31、32、33、24、25、26、17、18、19で指定される番地の画像データが面データ抽出回路82に向け送られる。以上で、図12に示す第2ライン目の読み出しが終了する。

[0116] 次に、この画像データが面データ抽出回路82において、抽出信号Eと論理積されるため、第1ライン目と同様に、第2、3、6、7、10バイト目がNULLデータとなり、印刷制御回路48に送られる。さらに、印刷制御回路48からLEDヘッドに送られて、さらにLED素子を発光駆動させるためのストロブ信号が印刷制御回路48から出されて第2ライン目の画像データが印刷される。

[0117] 以上から分かるように、第2、5ライン目も第2ライン目と同じ番地の面データがデータ抽出回路82に送られる。今度は第1、5ライン目と同様に、第1、4、5、8、9バイト目がNULLデータとなって、印刷制御回路48に送られる。

[0118] 以上のように、1、2、3…ライン目は第

2、3、6、7、10バイト目がNULLデータとなり、ハーフラインである1、5、2、5、3、5…ライン目は、第1、4、5、8、9バイト目がNULLデータとなって、同一面データが重なることはない。3ライン目、3、5ライン目以降も同様にして、面データの読みだし及び印刷が行われる。最終ラインの画像データが印刷された時点で画像データの読取動作が終了する。

[0119] 以上のようにして、第1の印刷機ヘッドのLEDヘッドに対して第2の印刷機ヘッドのLEDヘッドの取り付けが、右肩上がりに傾いていても、RAMのアドレス制御により、0、5ドット内の誤差で色ずれを合わせることができる。

[0120] 《左肩上がり》左肩上がり場合は、R/L信号が反転し、スタートアドレスが0番地から始まることを除けば、第1の実施の形態と第2の実施の形態を組み合せから同様に行うことができるので、説明を省略する。

[0121] 上記第1、第2の実施の形態では、LEDヘッドの発光素子を80ドットで説明したが、実際に、例えば記録媒体がA4サイズであれば、解像度300DPI(ドット・インチ)として、2500ドット、即ち2500個配列してある。

[0122] 上記第1、第2の実施の形態によれば、以下の効果を奏する。即ち、カラー画像を画、所望の色でカラー画像記録しようとした場合に、カラー画像の位置ずれによって、色ずれが生じても、補正手段によりカラー画像の位置ずれを補正できる、所望の色再現が簡単に実現できる。また、製造工程で記録ヘッドの取り付けが傾いていても、その傾き量および傾き方向を機械的手段による微調整でなく、電気的手段により簡単に補正できるので、調整工数が大幅に削減され、安価なカラー記録装置を提供できるという効果がある。

[0123] なお上記各実施の形態では補正設定手段としてディップスイッチを使用したが、カラー画像記録装置外部に補正値を入力できる装置部を設け、その補正値を制御回路のメモリに記憶させるようにしてもよい。

[0124] また、傾き量の補正精度を第1の実施の形態では1ライン単位、第2の実施の形態では1ラインを2回印刷することにより、0、5ライン単位で説明したのが、第2の実施の形態のハード構成であれば、ライン選択信号をもう1つ設け、印刷信号Zmを更に2倍長く設定し、これらライン選択信号の指示により、かつ4種類の抽出番号から選択された抽出番号によって、面データを抽出することにより、1ラインを4回印刷すれば、0、25ライン単位と精度を上げることができる。なお駆走方向は如何様にも精度を上げることができる。

[0125] 次に本発明の第3の実施の形態を説明する。第3の実施の形態は、LEDヘッドの主走査方向のみの色ずれを補正するものである。図16は第3の実

の形態を示すブロック図である。第3の実施の形態の機能的構成は上記第1、第2の実施の形態と同様である。[0126] 図16において、制御部91はマイクログロブロセッサ、タイマー、ROM、RAM、DMAコントローラ、都込みコントローラ、I/Oポート等から構成され、すべての動作を制御する。制御部91には、インダクション線92、操作パネル93、EEPROM94が接続されている。インダクション線92は、これを介して外部から画像データを入力するもので、操作パネル93は後述の色ずれ補正値を入力できるようになっている。EEPROM94は、電気的に消去可能なメモリで、後述の色ずれ補正値が格納される。

[0127] 制御部91にはまた、画像メモリ95Y、95M、95C、95Bが接続され、画像メモリ95Y、95M、95C、95BにはそれぞれPS変換部96Y、96M、96C、96Bが接続されている。PS変換部96Y、96M、96C、96Bは、画像メモリ95Y、95M、95C、95Bから読み出されたバイト単位の画像データをシリアルデータに変換する回路で、それぞれ色ずれ補正回路97Y、97M、97C、97Bに接続されている。色ずれ補正回路97Y、97M、97C、97BはそれぞれLEDヘッド98Y、98M、98C、98Bに接続されている。

[0128] 高圧電源回路99は各画像形成ユニットの必要箇所に加圧電源を供給するもので、制御部91によりオン/オフ制御が可能となっている。パルスモータドライバ回路100は、ドラムモータ101、レジストモータ102を駆動し、画像形成ユニットを動作させることにも記録媒体を搬送させる。ヘッドドライブ103は、熱定着用のヒートローラ104を駆動する。A/Dコンバータ105は、サーミスタ106からの温度検出信号をデジタル信号に変換して制御部91へ送る。

[0129] 図17は色ずれ補正回路97を示すブロック図である。図17において、色ずれ補正回路97は、AND回路107、OR回路108およびブロッグラムアルティマカウンタ109により構成される。AND回路107の一方の入力端子にはPS変換部96から送られるシリアルデータが入力され、他方の入力端子には制御部91から出力されるADJUST信号が入力される。ブロッグラムアルティマカウンタ109は、ADJUST信号がUS信号と制御部91から出力したCOUNT信号が入力され、COUNT信号により設定された値のパルス数をADJUST信号がハイからローに変化したときに所定の周波数で発生する回路である。ADJUST信号がハイのときは、記録データの搬送が行われ、ローにすることにより記録データの搬送がなされず、所定のパルス数がLEDヘッド98に送られる。またOR回路108には、クロックとタイマーカウンタ109の出力信号が入力される。

[0130] 図18は第3の実施の形態のLEDヘッド

を示す回路図である。同図において、シフトレジスタ回路110は色ずれ補正回路97の出力信号であるHDCLOCK信号に同期して、同様に色ずれ補正回路97の出力信号であるHDDATA信号を順次データシフトして1ライン分の記録データを入力する回路である。シフトレジスタ回路110に入力された1ライン分の記録データは、LATCH信号にパルスを入力することにより、ラッチ回路111に転送され、シフトレジスタ回路110は次のラインの記録データを入力可能になる。LEDドライブ回路112は、ラッチ回路111の出力がハイで、ストロブ信号STB0〜3がハイのときに、電源VHから供給される電流を抵抗113を介して発光素子114に供給し、発光素子114を発光させる。

[0131] シフトレジスタ回路110に入力された記録データは、順次矢印方向にシフトされ、1ライン分の記録データ入力後にHDDATA信号をローとして任意の数のHDCLOCK信号を入力することにより、入力のデータのデータは任意の数のドットだけ矢印方向にシフトする。この動作により、記録媒体に対する記録位置の補正を行なうわけである。

[0132] ここで主走査方向の色ずれについて説明する。図19は主走査方向に色ずれを説明するための説明図である。同図はLEDヘッド98Y、98M、98C、98Bを上部から見た図であり、4本のLEDヘッドがすべて主走査方向に同じ位置であれば4色の記録画像を重ねると同じ位置に重なるが、図に示すように第1印刷機ヘッドのLEDヘッド98Yに対して、その他のLEDヘッド98M、98C、98BがそれぞれΔY、ΔY、ΔYの位置ずれがある場合、図20に示すように、各色とも主走査方向にずれた画像となり、記録品質が低下する。なお図20は色ずれ画像を示す説明図である。

[0133] 次に第3の実施の形態の動作を説明する。図21は第3の実施の形態の動作を示すタイミングチャートであり、1色のみの動作を示す。図21において、ドラムモータ104を(i-1)から(i)に回転させた後、LEDヘッドにラッチ信号をパルス出力して、前ラインでシフトレジスタ回路110に転送した記録データをラッチ回路111に転送する。次にHDCLOCK信号に同期しながら、次に記録データをHDDATA信号に出力する。このとき、ADJUST信号はハイレベルであり、データ転送終了後、ADJUST信号をローレベルにして色ずれ補正パルスを出力する。

[0134] データ転送と並行して、ストロブ信号STB0、STB1、STB2、STB3を順次所定の時間ハイレベルにしてLEDヘッド98の発光素子114を発光させ、感光体の表面を露光する。

[0135] 以上の動作を1ライン毎に繰り返して、1ページの画像データを記録する。4色のLEDヘッドについて、記録媒体の搬送速度に合わせて順次上

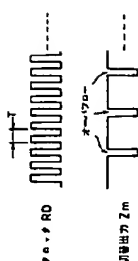
の動作を行なう。各色の色ずれ補正値は、予め電気的に記憶可能なEEPROM 94に格納された内容に基づいて、各色の色ずれ補正回路97のプログラマブルタイマ—カウンタ109に設定される。EEPROM 109の色ずれ補正値の変更は、操作パネル93により行ない、該装置のオペレータが試験印刷を行なう、その結果の色ずれ量に基づいて各色の補正値を操作パネル93から入力する。

【0196】以上のように、第3の実施の形態では、1ライン分の画像データ転送後に、データをブランクとし、補正パルスを送出して主走査方向の記録位置を変える。【0197】次に、主走査方向の色ずれが補正できる。【0197】次に、主走査方向の色ずれを補正する変形例を説明する。この変形例は、主走査方向の色ずれ量を線画印刷時に予め計測し、この色ずれ量の対応する補正走査位置の印刷部が読み取れる状態に設定しておく。この設定は、上記各実施の形態と同様に、補正値が可変にできるように行なう。そして画像データをメモリに格納する毎に、まず一旦メモリをクリアし、補正値に对应する分だけブランクデータデータをメモリに書き込み、これにより画像データをずらしてメモリに書き込むようにする。メモリから画像データを読み出すときは画像データデータの位置がずれており、これをそのままLEDヘッドで記録することにより、主走査方向に補正した記録が得られる。

【0138】
 【発明の効果】 以上詳細に説明したように本発明によれば、面像データを色別に対応して色別ごとに色別補正ヘッドのどの色ずれ量に基いて色別補正値を設定する補正値設定手段と、該補正値設定手段の補正値に基いて色別補正手段を制御し、面像データをずらして色別ヘッドに出力する制御手段を設けたので、傾きによる色ずれおよび主走査方向の色ずれによる色ずれの補正が簡単に実現でき

【図面の簡単な説明】
 【図1】第1の実施の形態の制御部を示すブロック図である。
 【図2】第1の実施の形態のカラー記録装置を示す構造図である。
 【図3】カラースタイル形成ユニットを示す一部拡大斜視図

【例5】



トーチダングの四角形を、その頂点を、トーチダングの頂点と見做す。

[20]



食了た爾後を空すは明因

である。

【図4】アドレス切替信号発生回路を示すブロック図である。

【図5】アドレス切替番号発生回路のタイミングチャートである。

【図6】メモリ回路を示すブロック図である。

【図7】テストパターンを示す説明図である。

【図8】右肩上がり時の記録方法を示す説明図である。

【図9】左肩上がり時の記録方法を示す説明図である。

【図10】右肩上がりの場合のメモリの動作を示すダイ

ミンダナオである。

【図11】左肩上がりの場合のメモリの動作を示すタイ

ミンダナオである。

【図12】第2の実施の形態の右肩上がり時の記録方法

を示す説明図である。

【図13】第2の実施の形態の制御部を示すブロック図

అక్షరం.

【図14】第2の実施の形態のメモリ回路を示すブロック

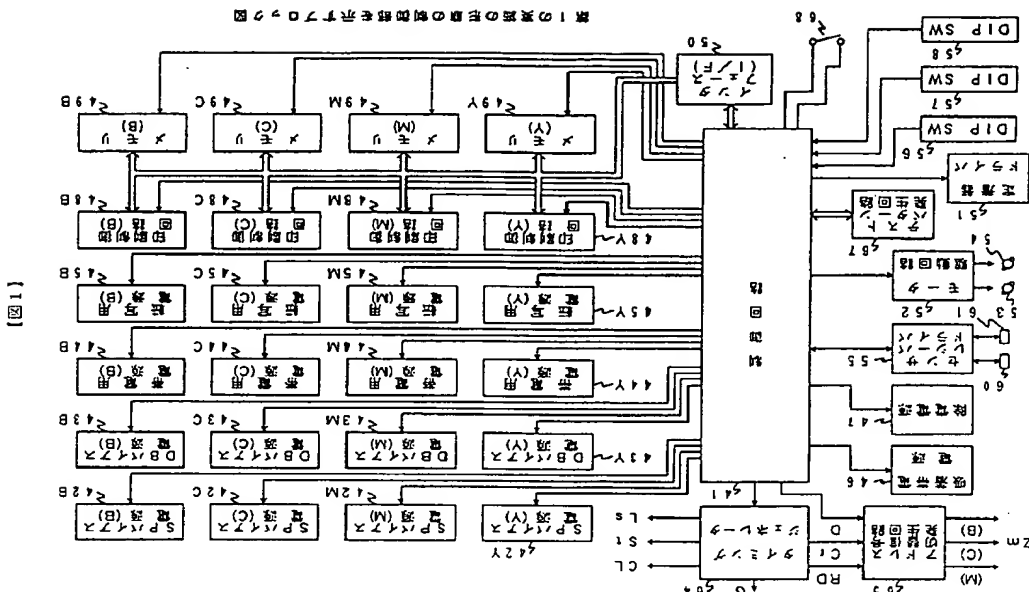
である。

【図15】第2の実施の形態のメモリの動作を示すタイ

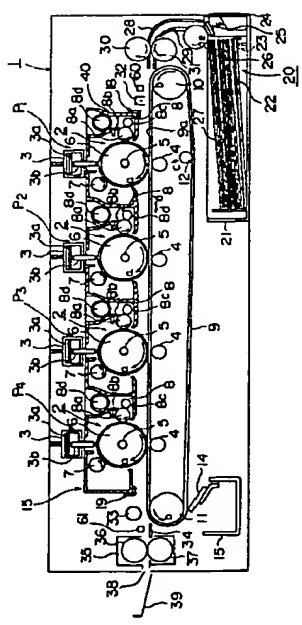
シンダチヤートである。

【図16】第9の実施の形態を示すブロック図である。

- 【図17】色ずれ補正回路を示すブロック図である。
【図18】第3の実施の形態のLEDヘッドを示す回路図である。
【図19】主走査方向の色ずれを示す説明図である。
【図20】色ずれ画像を示す説明図である。
【図21】第3の実施の形態の動作を示すタイミングチャートである。

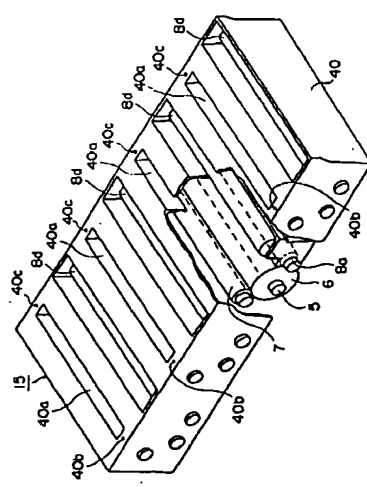


【図2】



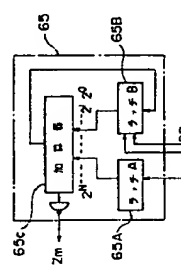
多層配線基板の構造例

【図3】



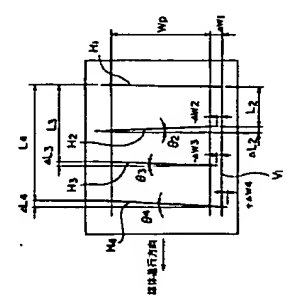
多層配線基板の構造例

【図4】



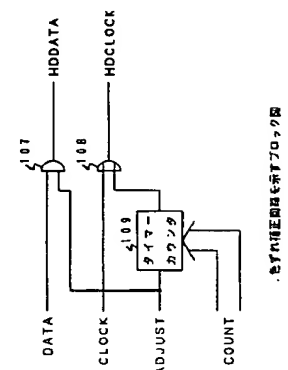
多層配線基板の構造例

【図7】



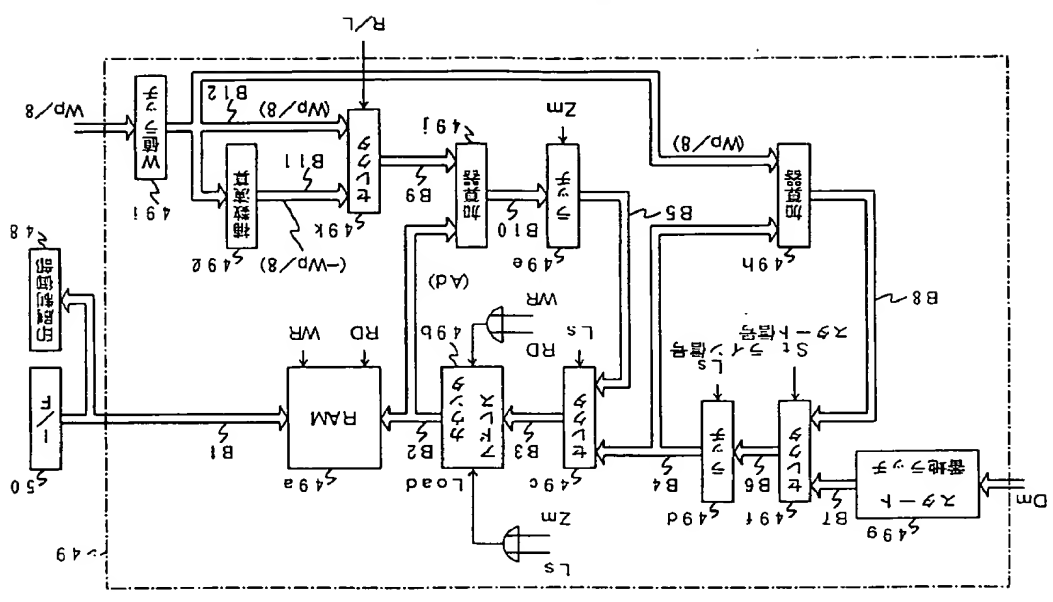
多層配線基板の構造例

【図17】

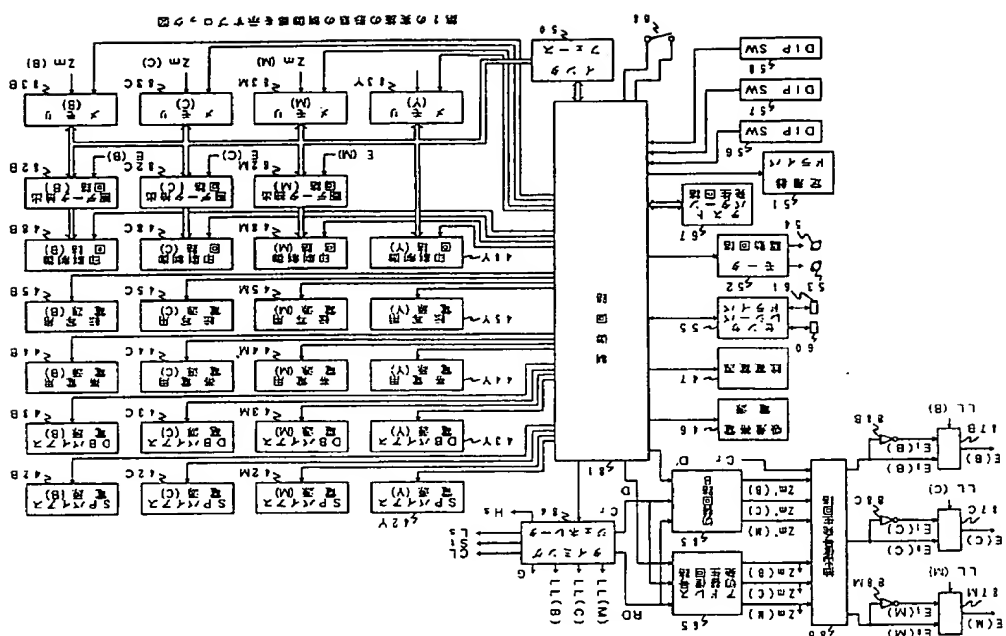


多層配線基板の構造例

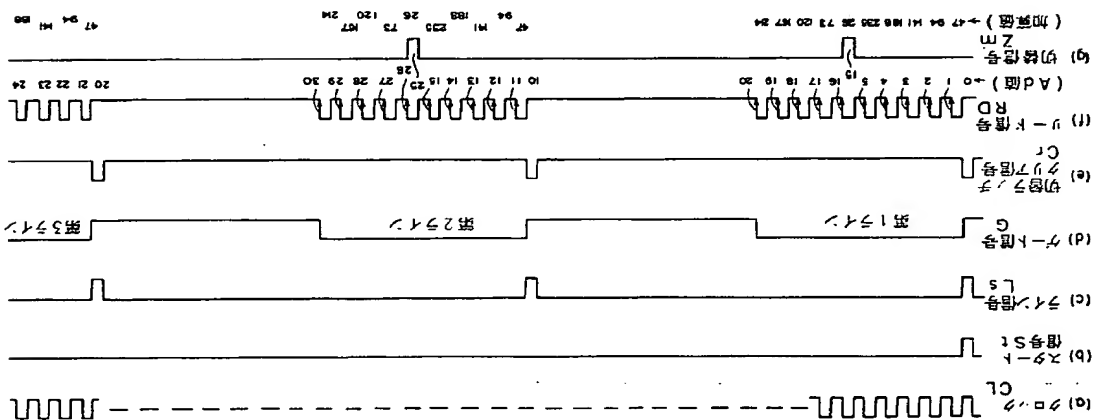
【図6】



メモリ回路を示すブロック図

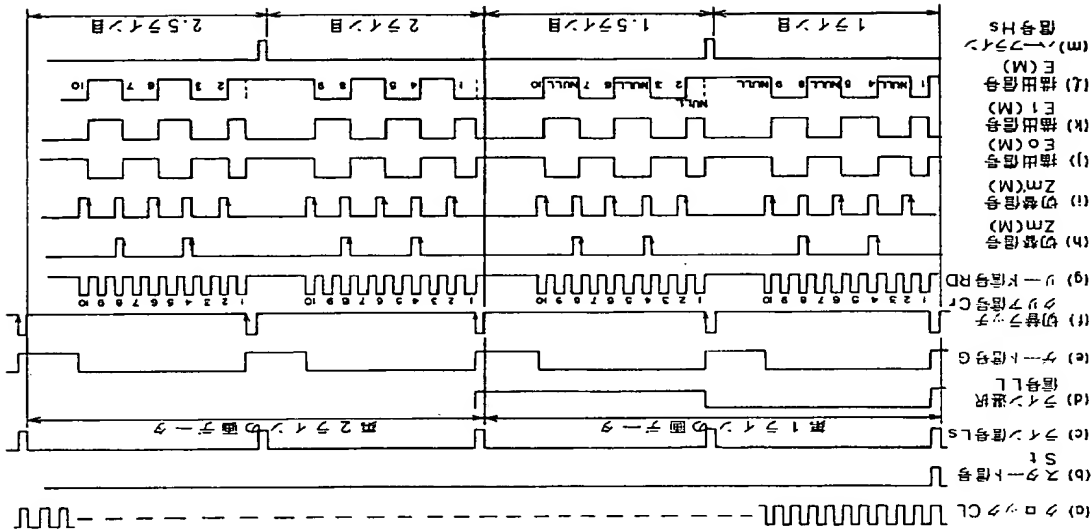


左肩上りの場合のメモリの動作を示すタイムチャート



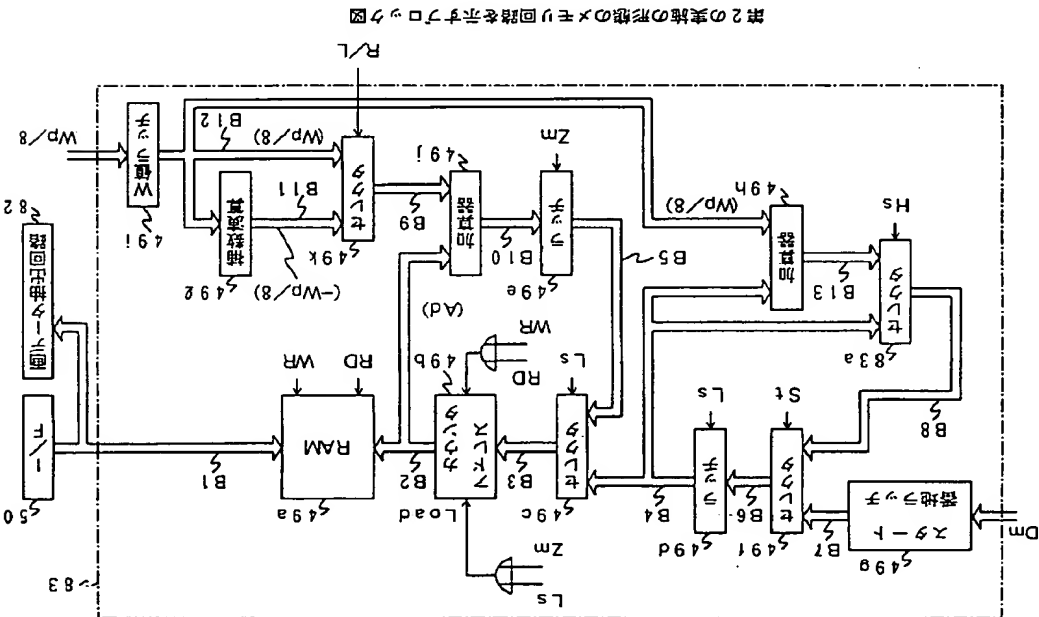
【211】

【図16】



第2の実施の形態のメモリ動作を示すタイミングチャート

【図14】



第2の実施の形態のメモリ回路を示すブロック図

(72)発明者 尾形 秀一郎
東京都港区芝浦4丁目11番地2号 株式会社
社仲データ内

【図16】

【図18】

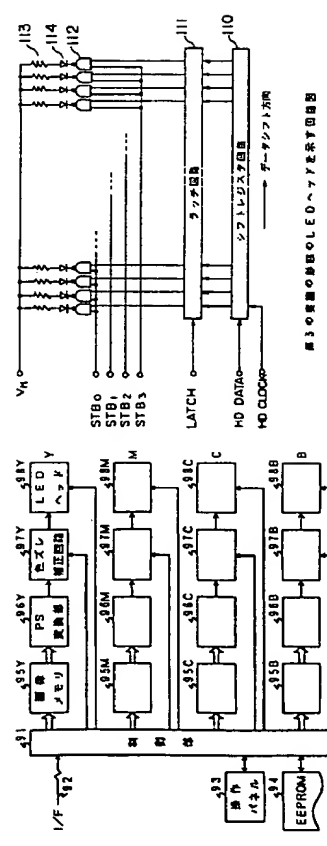


図18の回路の動作を説明するタイミング図

【図19】

【図21】

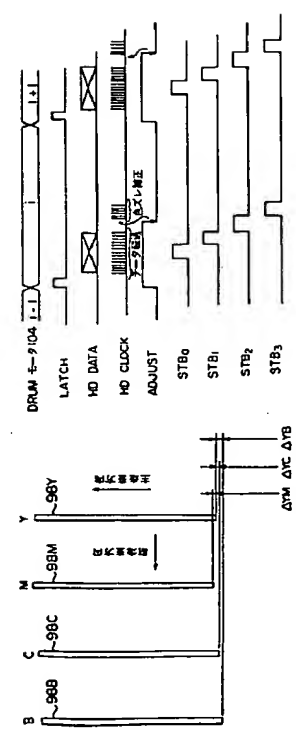


図21の回路の動作を説明するタイミングチャート

フロントページの続き

(51) Int. Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
G03 G 15/01	1 1 2	H04 N 1/46	Z	
H04 N 1/04				
1/46				

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.